

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

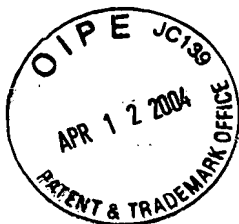
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent

Customer No. 31561
Application No.: 10/707,015
Docket No. 10542-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Po-Chih Liu
Application No. : 10/707,015
Filed : November 14, 2003
For : SUBSTRATE AND PROCESS FOR FABRICATING THE
SAME
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092114522, filed on: 2003/5/29.

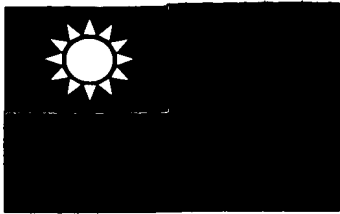
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: April 8, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 29 日
Application Date

申請案號：092114522
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 19 日
Issue Date

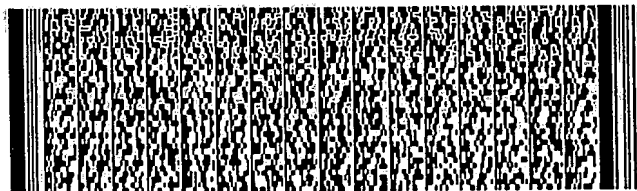
發文字號：09221172320
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	基板及其製程
	英 文	SUBSTRATE AND PROCESS FOR FABRICATING THE SAME
二、 發明人 (共1人)	姓 名 (中文)	1. 劉博智
	姓 名 (英文)	1. Liu-Po-Chih
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣蘆洲市民族路39號4樓
	住居所 (英 文)	1. No. 39, Minzu Rd., Lujhou City, Taipei County, 247, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



四、中文發明摘要 (發明名稱：基板及其製程)

一種基板，至少包括一基板半成品、至少一線路、至少一接點、一焊罩層。線路係位在基板半成品上，接點係位在基板半成品上，並且接點與線路係為非一體成型地連接。焊罩層係位在基板半成品上，且覆蓋線路，並且焊罩層具有一開口，接點係位在焊罩層之開口中。

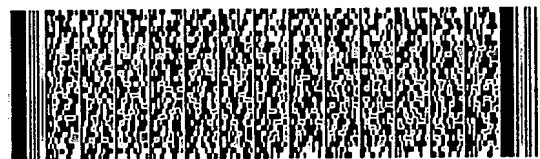
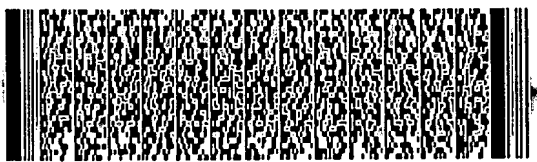
伍、(一)、本案代表圖為：第____20____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基板	210：基板半成品
258：金屬	265：線路
271：焊罩層	272：焊罩層
273：焊罩層開口	275：種子層
281：接點	

六、英文發明摘要 (發明名稱：SUBSTRATE AND PROCESS FOR FABRICATING THE SAME)

A substrate includes a patterned-circuit body, at least one trace, at least one conductive connection and a solder mask. The trace is deposited on the patterned-circuit body. The conductive connection is formed on the patterned-circuit body and is non-integrally connected with the trace. The solder mask is formed on the patterned-circuit body and covers



四、中文發明摘要 (發明名稱：基板及其製程)

六、英文發明摘要 (發明名稱：SUBSTRATE AND PROCESS FOR FABRICATING THE SAME)

the trace. The solder mask has an opening where the conductive connection is formed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

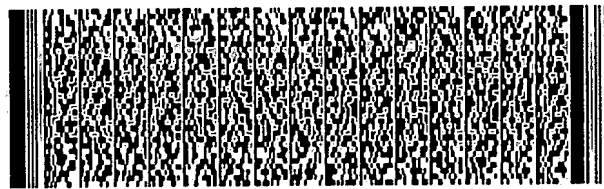
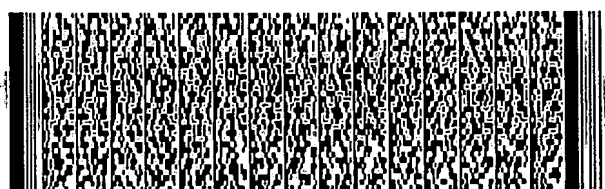
本發明是有關於一種基板及其製程，且特別是有關於一種具有微小接點間距之基板及其所對應之製造基板的方法。

【先前技術】

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為二個階段：積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。一般所見的裸晶片係經由晶圓(Wafer)製作、電路設計、光罩製作、電子元件製作、線路製作、介電層製作以及切割晶圓等步驟而完成。之後，便要進行封裝製程，比如可以利用打線或是凸塊使晶片與基板電性連接。並且透過封裝的步驟可以保護裸晶片及裸晶片與基板間電性連接的部份。

然而，就覆晶製程而言，其係將凸塊形成到晶片上，透過凸塊使晶片與基板電性連接，因此凸塊間距及基板之接點間距會影響輸出入端點的數目，而晶片與基板間輸出入端點的數目亦會影響晶片的尺寸。隨著電子科技不斷地演進，功能性更複雜、更人性化的產品推陳出新，就電子產品外觀而言，也朝向輕、薄、短、小的趨勢設計，因此晶片及基板之尺寸亦是朝向小面積及薄化的方向發展，此時若是要能夠允許更多輸出入端點作為晶片與基板間電性連接時，則必須縮減凸塊間距及基板之接點間距。

接下來，敘述現今一般基板的製程及其在製作上的限制。第1A圖到第1G圖係繪示習知基板製程的剖面放大示



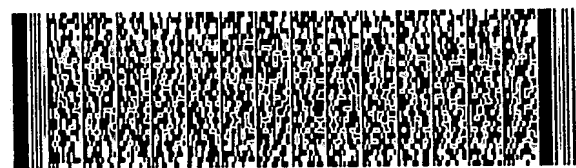
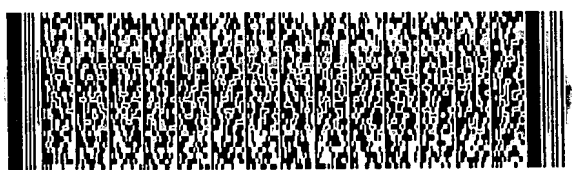
五、發明說明 (2)

意圖。

請參照第1A圖，首先要提供一基板半成品110，其係由多層絕緣層111、112、113、114、115及多層圖案化金屬層121、122、123、124交互疊合而成。基板半成品110還具有至少一貫孔131，貫穿基板半成品110，並且在貫孔131之孔壁上，還形成一導電材質132，藉以使圖案化金屬層121、122、123、124之間相互電性連接。而絕緣層111、115還分別具有多個開口133、134，暴露出圖案化線路層121、124。

接著，便進行粗化的製程，使得絕緣層111、115暴露於外的表面會被粗化。之後，可以利用無電電鍍的方式，分別形成一種子層151、152到絕緣層111、115上、絕緣層111、115之開口133、134的孔壁上及圖案化線路層121、124上，形成如第1B圖所示的結構。

請參照第1C圖，然後分別形成一光阻層153、154於種子層151、152上，並定義出多個圖案化開口155、156貫穿光阻層153、154，透過光阻層之圖案化開口155、156係分別暴露出種子層151、152，其中圖案化開口155、156的圖案包括接點的圖案(如第1C圖中圖案化開口155、156的圖案)及線路的圖案(未繪示)。接著，可以利用電鍍的方式分別形成一圖案化金屬層157、158到光阻層153、154之圖案化開口155、156所暴露出的種子層151、152上，如第1D圖所示，其中圖案化金屬層157、158包括接點的圖案(如第1D圖中圖案化金屬層157、158的圖案)及線路的圖案

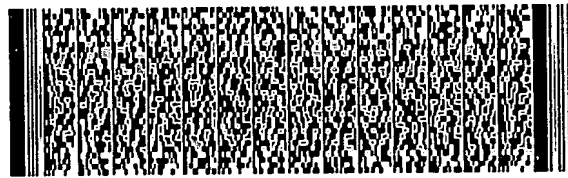
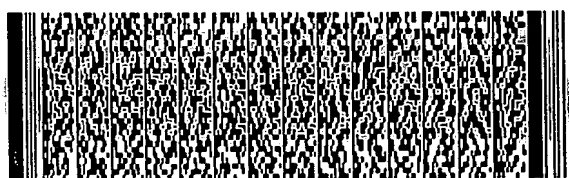


五、發明說明 (3)

(未繪示)。之後，便可以將光阻層153、154從種子層151、152上去除，而暴露出種子層151、152，形成如第1E圖所示的結構。接著，可以利用圖案化金屬層157、158作為蝕刻光阻，藉由蝕刻製程去除暴露於外的種子層151、152，而僅殘留位在圖案化金屬層157、158下的種子層151、152，並且絕緣層111、115會暴露於外，形成如第1F圖所示的結構。

接下來，請參照第1G圖，可以利用網板印刷的方式，分別形成一焊罩層159、160到絕緣層111、115上，且焊罩層159、160會覆蓋圖案化金屬層157、158之線路部份(未繪示)，而焊罩層159、160還定義出多個開口161、162，貫穿焊罩層159、160，而焊罩層159、160之開口161、162暴露出圖案化金屬層157、158之接點部份(如第1G圖中圖案化金屬層157、158的圖案)。如此，基板100便製作完成，基板100透過圖案化金屬層157的接點部份可以與覆晶晶片之凸塊(未繪示)電性連接。

在上述的製程中，形成接點的尺寸及間距會受到形成光阻層153之圖案化開口155的誤差及焊罩層159之開口161的誤差所影響，因此在製作接點的過程中，必須要形成較大的光阻層153之圖案化開口155及較大的焊罩層159之開口161，故在接下來的製程中，圖案化金屬層157的接點部份會製作得較大，如此在將覆晶晶片接合到基板100上時，才能確保凸塊與基板100之圖案化金屬層157的接點部份接合。如上所述，由於圖案化金屬層157的接點部份



五、發明說明 (4)

製作得較大，故基板100之接點間距亦會加大，因此基板100的面積亦必須製作得較大，而為了配合基板100之接點間距，晶片之接點間距亦會加大，故晶片的面積必須製作得較大。

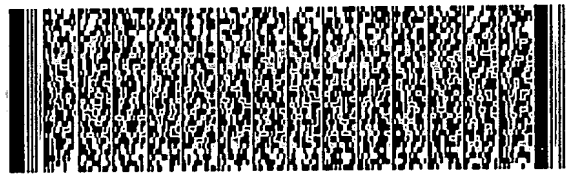
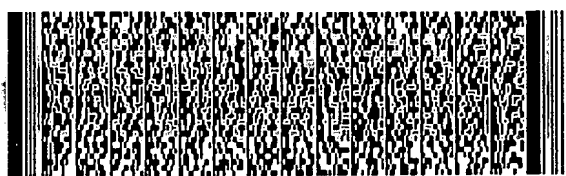
【發明內容】

本發明的目的之一是提出一種基板及其製程，藉由改變基板的製作方法，而可以製作出具有微小接點間距且無孔墊之基板，藉以提高基板之接點密度，相對地，晶片之接點密度亦可以增加。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

為達本發明之上述目的，提出一種基板，至少包括一基板半成品、至少一線路、至少一接點、一焊罩層。線路係位在基板半成品上，接點係位在基板半成品上，並且接點與線路係為非一體成型地連接。焊罩層係位在基板半成品上，且覆蓋線路，並且焊罩層具有一開口，接點係位在焊罩層之開口中。

為達本發明之上述目的，提出一種基板製程，至少包括下列步驟。首先，提供一基板半成品。接著，形成至少一線路於基板半成品上。然後，形成一焊罩層於基板半成品上，焊罩層係覆蓋線路，並且還定義出至少一開口，



五、發明說明 (5)

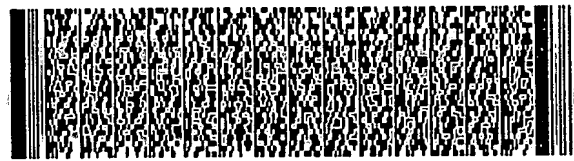
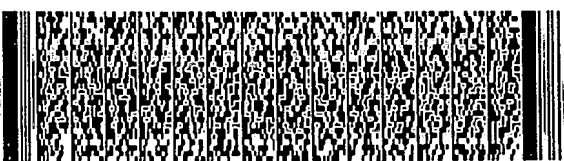
貫穿焊罩層，焊罩層之開口暴露出線路。接著，形成一接點於焊罩層之開口中，並且接點與線路接合。

為達成本發明的一較佳實施例，其中形成線路於基板半成品上的步驟，係先以無電電鍍的方式，形成一種子層於基板半成品上。然後，形成一罩蔽層於種子層上，並定義出至少一圖案化開口貫穿罩蔽層。接著，以電鍍的方式，形成線路於圖案化開口中。之後，去除罩蔽層，使得部份之種子層暴露於外。接著，再去除暴露於外之種子層。

為達成本發明的一較佳實施例，其中係以網板印刷的方式，形成焊罩層於基板半成品上。

為達成本發明的一較佳實施例，其中形成接點於焊罩層之開口中的步驟，係先以無電電鍍的方式，形成一種子層於焊罩層上及焊罩層之開口所暴露出的線路上。接著，形成一罩蔽層於種子層上，並定義出至少一圖案化開口貫穿罩蔽層，其中圖案化開口的位置係大致上對準焊罩層之開口的位置。接著，以電鍍的方式，形成接點於焊罩層之開口中。然後，再去除罩蔽層，使得部份之種子層暴露於外。接下來，再去除暴露於外之種子層。

綜上所述，本發明之基板及其製程，由於在形成焊罩層之開口後，才填入接點到焊罩層的開口中，因此接點的尺寸及配置僅受到焊罩層之開口的誤差所影響，故接點的尺寸及位置可以製作得較精確。因此，可以藉由縮減接點的尺寸及精確地將接點定位，來製作出小接點尺寸及小



五、發明說明 (6)

接點間距的且無孔墊之基板，如此可以縮減基板的面積。相對地，在配合基板之接點尺寸及接點間距的情況下，晶片之接點間距亦可以縮小，故可以減少晶片的面積。

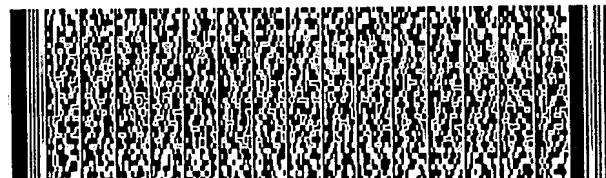
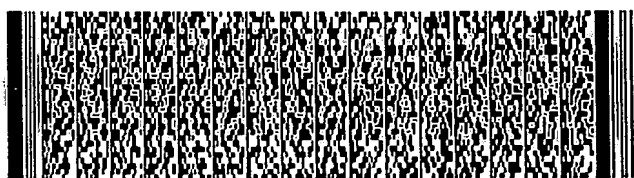
為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第2A圖到第20圖係繪示依照本發明一較佳實施例之基板製程的剖面放大示意圖。

請參照第2A圖，首先要提供一基板半成品210(semi-finished substrate)，其中基板半成品210比如是利用疊層法(lamination)或增層法(built-up)的方式，由多層絕緣層211、212、213、214、215及多層圖案化金屬層221、222、223、224交互疊合而成，其中絕緣層211、212、213、214、215的材質比如是玻璃環氧基樹脂(FR-4、FR-5)、雙順丁烯二酸醯亞胺-三氮雜苯(Bismaleimide-Triazine, BT)、環氧樹脂(epoxy)或聚亞醯胺(polyimide)等。基板半成品210還具有至少一貫孔231，貫穿基板半成品210，並且在貫孔231之孔壁上，還形成一導電材質232，藉以使圖案化金屬層221、222、223、224之間相互電性連接。而絕緣層211、215還分別具有多個開口233、234，暴露出圖案化線路層221、224。

接著，便進行粗化的製程，使得絕緣層211、215暴露於外的表面會被粗化。之後，可以利用無電電鍍



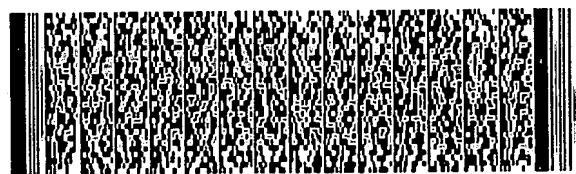
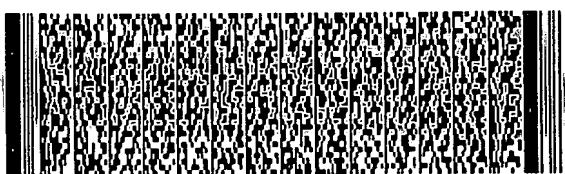
五、發明說明 (7)

(electroless plating) 的方式，分別形成一種子層251、252(seed layer)到絕緣層211、215上、絕緣層211、215之開口233、234的孔壁上及圖案化線路層221、224上，形成如第2B圖所示的結構，其中種子層251、252的材質比如是銅。

請參照第2C圖，然後分別形成一罩蔽層253、254(solder mask)於種子層251、252上，並定義出多個圖案化開口255、256貫穿罩蔽層253、254，分別暴露出種子層251、252及絕緣層211、215之開口233、234，。在本實施例中，罩蔽層253、254比如是光阻。接著，可以利用電鍍的方式使開口233、234分別填滿金屬257、258，並用化學溶液將其表面咬平，而金屬258還會填入到罩蔽層254之開口256中，如第2D圖所示，其中金屬257、258的材質比如是銅。之後，便可以將罩蔽層253、254從種子層251、252上去除，而暴露出種子層251、252，形成如第2E圖所示的結構。

接著，可以進行製作線路的製程，請參照第2F圖，其係先分別形成一罩蔽層261、262於種子層251、252上，並定義出多個圖案化開口263貫穿罩蔽層261，其中圖案化開口263係類似線路的圖案，並且會經過種子層251上及圖案化金屬層257上，而暴露出種子層251及圖案化金屬層257。在本實施例中，罩蔽層261、262比如是光阻。

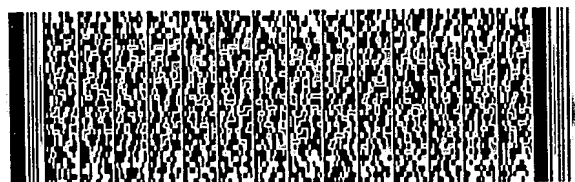
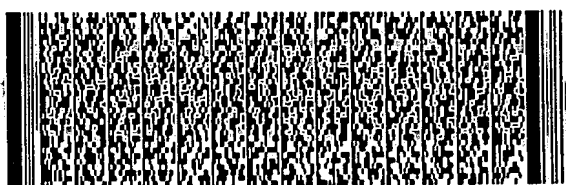
接著，可以利用電鍍的方式形成多條線路265到圖案化開口263中，線路265係位在種子層251上及圖案化金屬



五、發明說明 (8)

層257上，如第2G圖及第2g圖所示，其中第2g圖係為第2G圖中基板沿著剖面線I-I之剖面示意圖，而線路265的材質比如是銅。之後，便可以將罩蔽層261、262去除，而形成如第2H圖所示的結構。接著，藉由蝕刻製程去除暴露於外的種子層251、252，形成如第2I圖所示的結構。

接下來，可以進行製作接點的製程。請參照第2J圖，可以利用網板印刷的方式，分別形成一焊罩層271、272到絕緣層211、215上，而焊罩層271、272還定義出多個開口273、274，開口273係暴露出金屬257及線路265，而開口274係暴露出金屬258，藉以定義出基板下表面之接點的位置。之後，可以利用無電電鍍的方式，分別形成一種子層275、276到焊罩層271、272上及焊罩層271、272之開口273、274中，形成如第2K圖所示的結構，其中種子層275、276的材質比如是銅。然後，請參照第2L圖，分別形成一罩蔽層277、278於種子層275、276上，並定義出多個圖案化開口279，暴露出焊罩層271之開口273。接著，可以利用電鍍的方式形成多個接點281到焊罩層271之開口273中，如第2M圖所示，而接點281的材質比如是銅。之後，便可以將罩蔽層277、278從種子層275、276上去除，而暴露出種子層275、276，形成如第2N圖所示的結構。接著，去除暴露於外的種子層275、276，形成如第2O圖所示的結構，如上所述，焊罩層271並未覆蓋接點281，亦即接點281係為無孔墊(padless)的形式，而接點281係位在由焊罩層271之開口273之孔壁及基板半成品210所架構出的



五、發明說明 (9)

空間中。如此，基板200便製作完成，基板200透過接點281可以與覆晶晶片之凸塊(未繪示)電性連接。

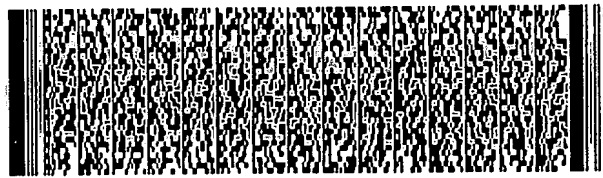
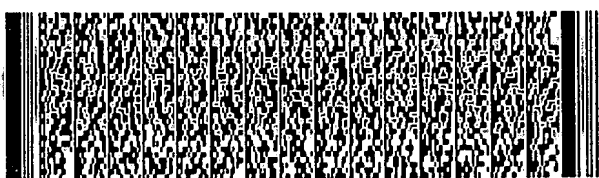
在上述的實施例中，接點281係大致上對準貫孔231的位置，然而本發明的應用並不限於此，接點281配置於基板上的位置以可以是不對準貫孔231。

在上述的製程中，由於在形成焊罩層271之開口273後，才填入接點281到焊罩層271的開口273中，因此接點281的尺寸及配置僅受到焊罩層271之開口273的誤差所影響，故接點281的尺寸及位置可以製作得較精確。因此，可以藉由縮減接點281的尺寸及精確地將接點281定位，來製作出小接點間距及無孔墊的基板200，提高接點281形成在基板200上的密度。相對地，在配合基板200之接點尺寸及接點間距的情況下，晶片(未繪示)之接點間距亦可以縮小，故可以提高接點形成在晶片上的密度。

在上述的製程中，類似線路265及接點281非一體成型的結構係僅有形成在基板的一表面上，然而，本發明的應用並非限於此，亦可以將基板的兩面均形成類似如上實施例所述的線路265及接點281非一體成型的結構。

在本發明的應用上，亦可以是僅利用前述之製作接點的製程僅製作接點於基板半成品上，而省去製作線路的製程。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之



五、發明說明 (10)

保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

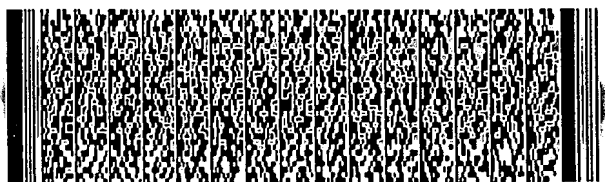
第1A圖到第1G圖係繪示習知基板製程的剖面放大示意圖。

第2A圖到第2O圖係繪示依照本發明一較佳實施例之基板製程的剖面放大示意圖。

第2g圖係為第2G圖中基板沿著剖面線I-I之剖面示意圖。

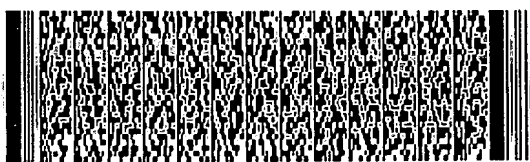
【圖式標示說明】

100：基板	110：基板半成品
111：絕緣層	112：絕緣層
113：絕緣層	114：絕緣層
115：絕緣層	121：圖案化金屬層
122：圖案化金屬層	123：圖案化金屬層
124：圖案化金屬層	131：貫孔
132：導電材質	133：開口
134：開口	151：種子層
152：種子層	153：光阻層
154：光阻層	155：圖案化開口
156：圖案化開口	157：圖案化金屬層
158：圖案化金屬層	159：焊罩層
160：焊罩層	161：開口
162：開口	200：基板
210：基板半成品	211：絕緣層
212：絕緣層	213：絕緣層



圖式簡單說明

214	:	絕緣層	215	:	絕緣層
221	:	圖案化金屬層	222	:	圖案化金屬層
223	:	圖案化金屬層	224	:	圖案化金屬層
231	:	貫孔	232	:	導電材質
233	:	開口	234	:	開口
251	:	種子層	252	:	種子層
253	:	罩蔽層	254	:	罩蔽層
255	:	圖案化開口	256	:	圖案化開口
257	:	金屬	258	:	金屬
261	:	罩蔽層	262	:	罩蔽層
263	:	圖案化開口	265	:	線路
271	:	焊罩層	272	:	焊罩層
273	:	焊罩層開口	274	:	焊罩層開口
275	:	種子層	276	:	種子層
277	:	罩蔽層	278	:	罩蔽層
279	:	圖案化開口	281	:	接點



六、申請專利範圍

1. 一種基板製程，至少包括：

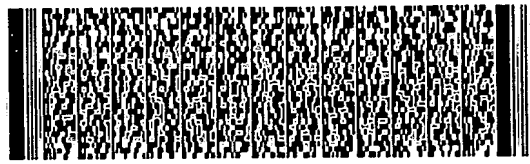
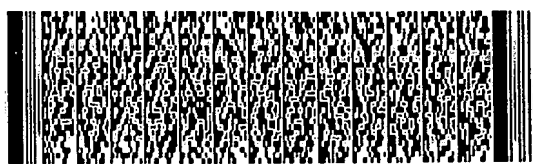
提供一基板半成品，係由複數層絕緣層及複數層圖案化金屬層交互疊合而成，且該些圖案化金屬層相互間電性連接，該些絕緣層之其中兩層係構成該基板半成品之最外部相對應的表層，分別定義為一第一絕緣層及一第二絕緣層，該些圖案化金屬層之其中兩層分別定義為一第一圖案化金屬層及一第二圖案化金屬層，該第一絕緣層及該第二絕緣層分別覆蓋該第一圖案化金屬層及該第二圖案化金屬層，而該第一絕緣層及該第二絕緣層分別具有複數個第一開口及複數個第二開口，分別暴露出該第一圖案化金屬層及該第二圖案化金屬層；

形成一第一種子層到該第一絕緣層上及該些第一開口中，並且還形成一第二種子層到該第二絕緣層上及該些第二開口中；

分別形成一第一單蔽層及一第二單蔽層到該第一種子層上及該第二種子層上，並且該第一單蔽層及該第二單蔽層分別定義出複數個第一圖案化開口及複數個第二圖案化開口，該些第一圖案化開口及該些第二圖案化開口分別暴露出該些第一開口及該些第二開口；

分別填入一第一金屬及一第二金屬到該些第一開口中及該些第二開口中，而該第一金屬及該第二金屬分別位在該第一種子層上及該第二種子層上，且該第二金屬還填入到該第二單蔽層之該些第二圖案化開口中；

去除該第一單蔽層及該第二單蔽層；



六、申請專利範圍

形成一第三罩蔽層到該第一種子層及該第一金屬上，且形成一第四罩蔽層到該第二種子層上及該第二金屬上，該第三罩蔽層定義出複數個第三圖案化開口，暴露出該第一種子層及該第一金屬；

形成複數條線路於該些第三圖案化開口中，該些線路係位在該第一種子層上及該第一金屬上；

去除該第三罩蔽層及該第四罩蔽層；

去除暴露於外之該第一種子層及該第二種子層；

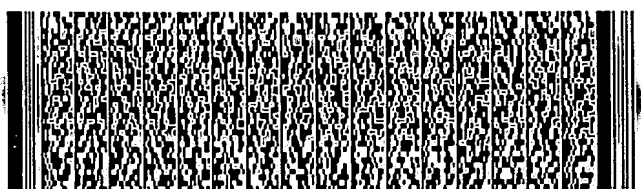
分別形成一第一焊罩層及一第二焊罩層到該第一絕緣層上及該第二絕緣層上，該第一焊罩層及該第二焊罩層分別定義出複數個第一焊罩層開口及複數個第二焊罩層開口，該些第一焊罩層開口至少暴露出部份之該線路，而該些第二焊罩層開口暴露出該第二金屬；

形成一第三種子層到該第一焊罩層上、該些第一焊罩層開口中及該些第一焊罩層開口所暴露出的該線路上，且還形成一第四種子層到該第二焊罩層上及該第二金屬上；

形成一第五罩蔽層於該第三種子層上，並定義出複數個第四圖案化開口，暴露出該些第一焊罩層開口，且還形成一第六罩蔽層於該第四種子層上；

形成複數個接點於該些第一焊罩層開口中，該些接點係位在該第三種子層上，該些接點係與該些線路電性連接；

去除該第三罩蔽層及該第四罩蔽層；以及



六、申請專利範圍

去除暴露於外之該第三種子層及該第四種子層。

2. 如申請專利範圍第1項所述之基板製程，其中係以無電電鍍的方式，分別形成該第一種子層及該第二種子層到該第一絕緣層上及該第二絕緣層上。

3. 如申請專利範圍第1項所述之基板製程，其中係以電鍍的方式形成該些線路於該些第三圖案化開口中。

4. 如申請專利範圍第1項所述之基板製程，其中係以網板印刷的方式分別形成該第一焊罩層及該第二焊罩層到該第一絕緣層上及該第二絕緣層上。

5. 如申請專利範圍第1項所述之基板製程，其中係以無電電鍍的方式，形成該第三種子層及該第四種子層。

6. 如申請專利範圍第1項所述之基板製程，其中係以電鍍的方式形成該些接點到該些第一焊罩層開口中。

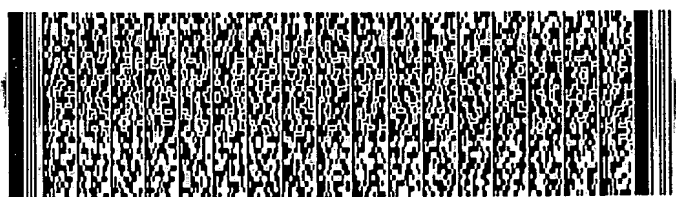
7. 一種基板製程，至少包括：

提供一基板半成品，係由複數層絕緣層及複數層圖案化金屬層交互疊合而成，且該些圖案化金屬層相互間電性連接，該些絕緣層之至少一層位在該基板半成品之表層，定義為一表層絕緣層；

形成至少一線路於該表層絕緣層上，並且該線路係與該基板半成品之該些圖案化金屬層電性連接；

形成至少一焊罩層於該表層絕緣層上，該焊罩層定義出至少一開口，暴露出該線路；以及

形成一接點於該焊罩層之該開口中，並且該接點與該線路接合。



六、申請專利範圍

8. 如申請專利範圍第7項所述之基板製程，其中形成該線路於該基板半成品上的步驟，包括：

以無電電鍍的方式，形成一種子層於該該表層絕緣層上，該種子層係與該基板半成品之該些圖案化金屬層電性連接；

形成一罩蔽層於該種子層上，並定義出至少一圖案化開口貫穿該罩蔽層；

以電鍍的方式，形成該線路於該圖案化開口中；

去除該罩蔽層；以及

去除暴露於外之該種子層。

9. 如申請專利範圍第7項所述之基板製程，其中係以網板印刷的方式，形成該焊罩層於該表層絕緣層上。

10. 如申請專利範圍第7項所述之基板製程，其中形成該接點於該焊罩層之該開口中的步驟，包括：

以無電電鍍的方式，形成一種子層於該焊罩層上及該焊罩層之該開口中，該種子層係與該線路電性連接；

形成一罩蔽層於該種子層上，並定義出至少一圖案化開口，暴露出該焊罩層之該開口；

以電鍍的方式，形成該接點於該焊罩層之該開口中，並與該種子層電性連接；

去除該罩蔽層；以及

去除暴露於外之該種子層。

11. 一種基板，至少包括：

一基板半成品，係由複數層絕緣層及複數層圖案化



六、申請專利範圍

金屬層交互疊合而成，且該些圖案化金屬層相互間電性連接；

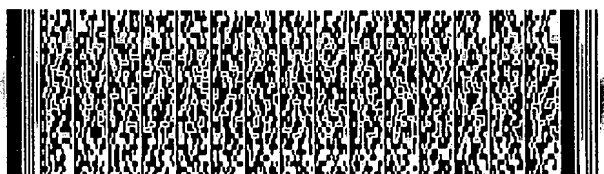
一焊罩層，位在該基板半成品上，而該焊罩層具有至少一開口；以及

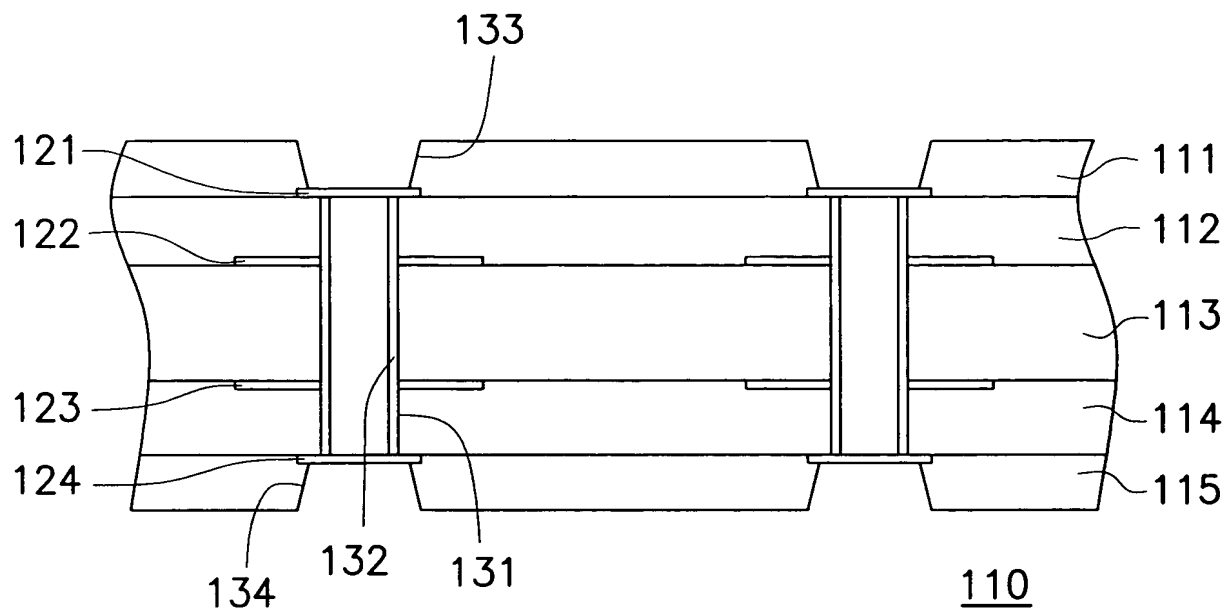
至少一接點，位在該基板半成品上，並且該接點係位在由該焊罩層之該開口之孔壁及該基板半成品所架構出的空間中，而該接點與該基板半成品之該些圖案化金屬層電性連接。

12. 如申請專利範圍第11項所述之基板，其中該基板半成品具有至少一貫孔，貫穿該基板半成品，該接點的位置係大致上對準於該貫孔。

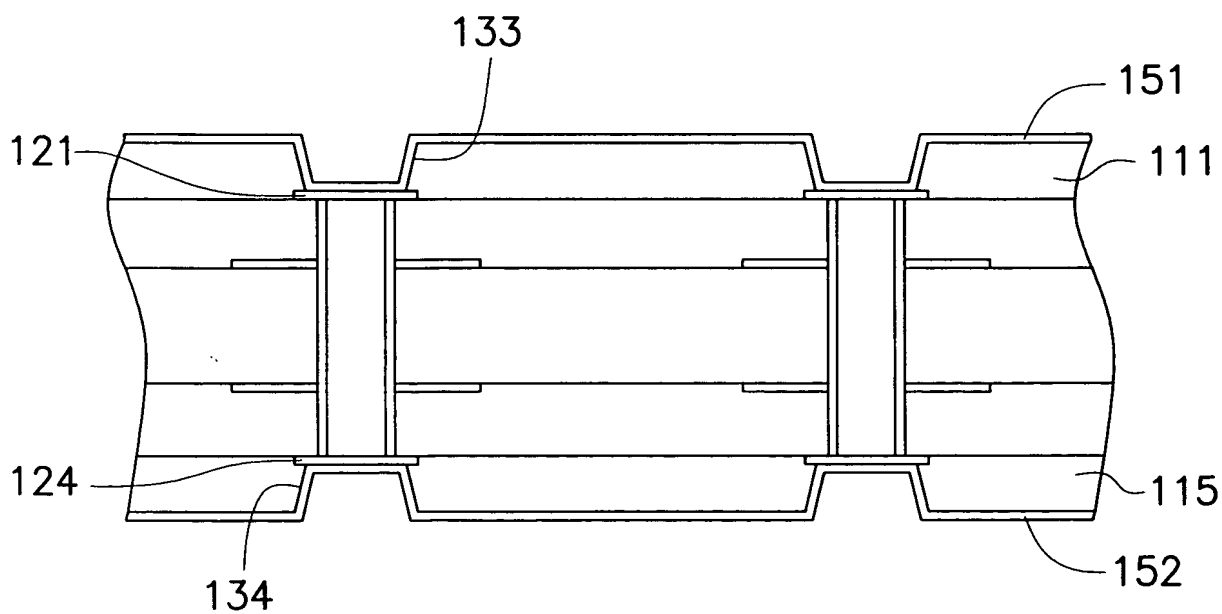
13. 如申請專利範圍第11項所述之基板，其中該接點的材質係為銅。

14. 如申請專利範圍第11項所述之基板，還包括至少一線路，係位在該基板半成品上，並與該接點電性連接，而該焊罩層係覆蓋該線路。

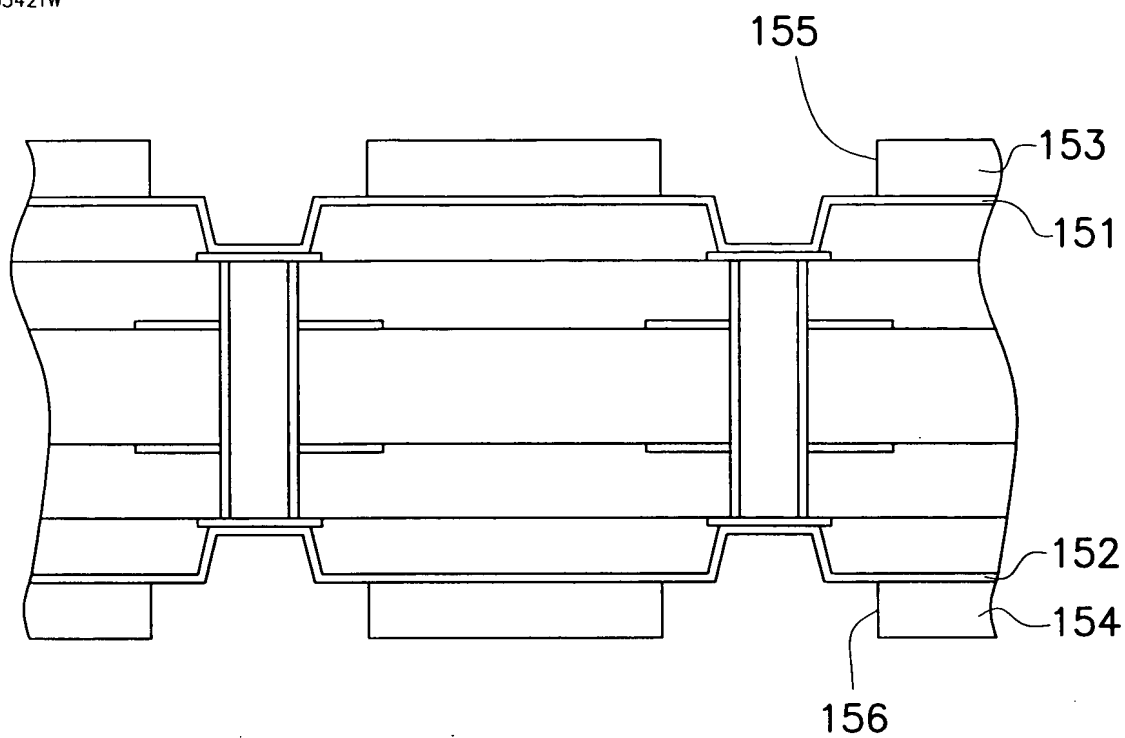




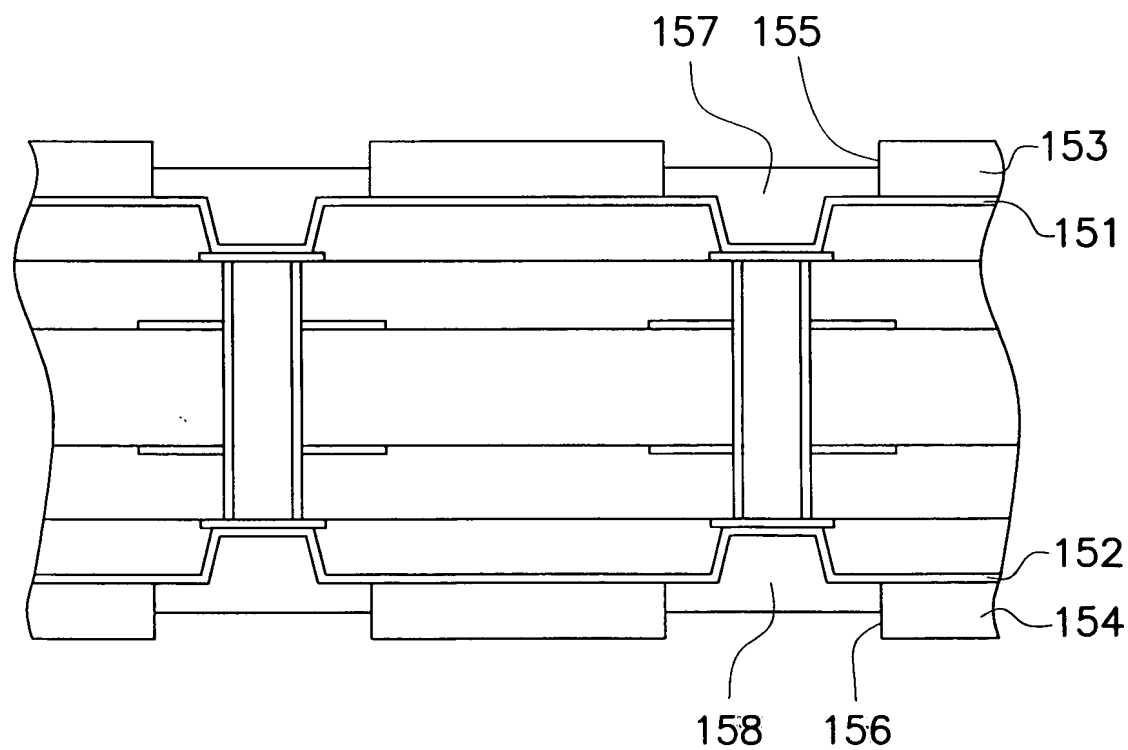
第 1A 圖



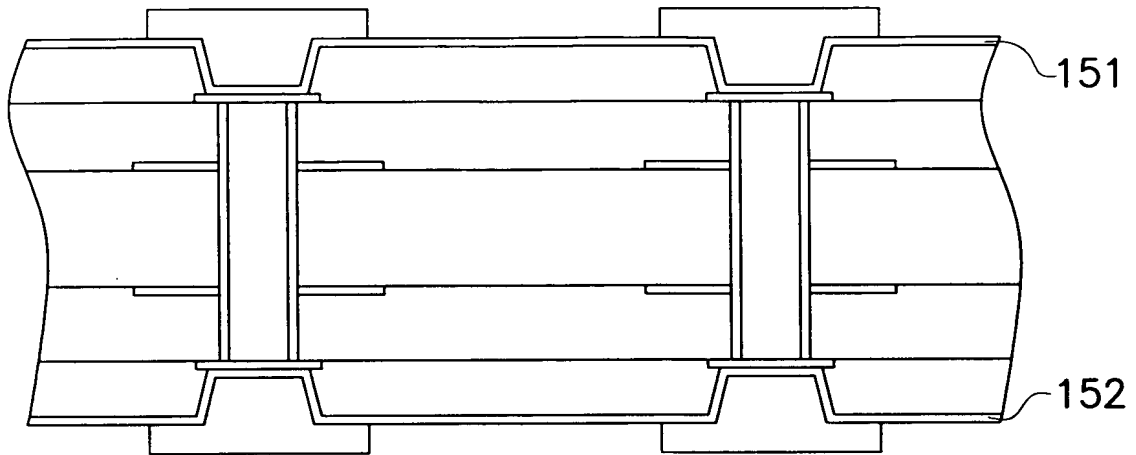
第 1B 圖



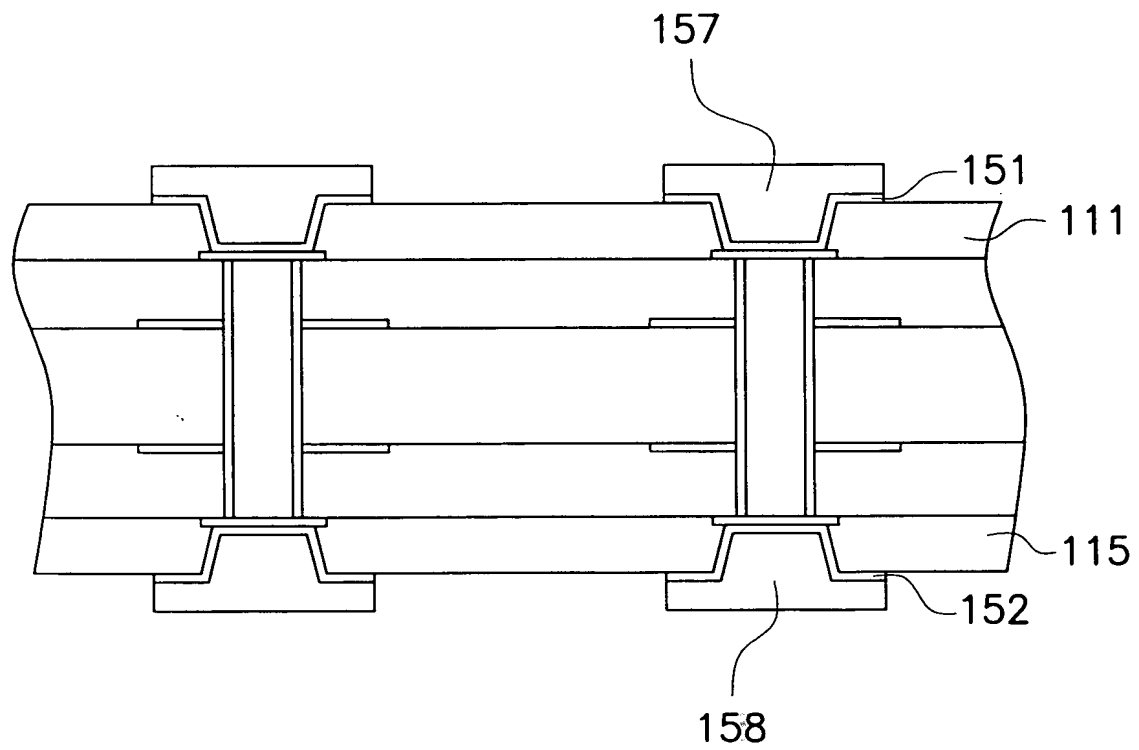
第 1C 圖



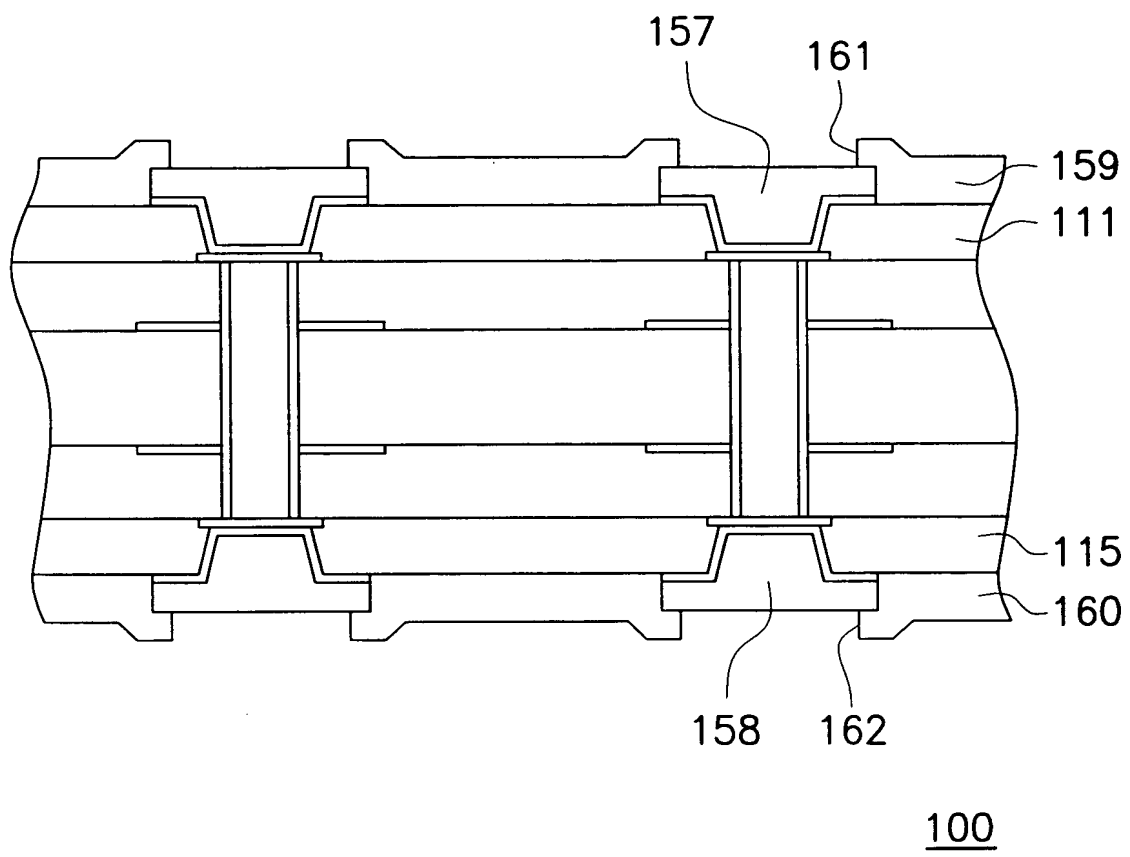
第 1D 圖



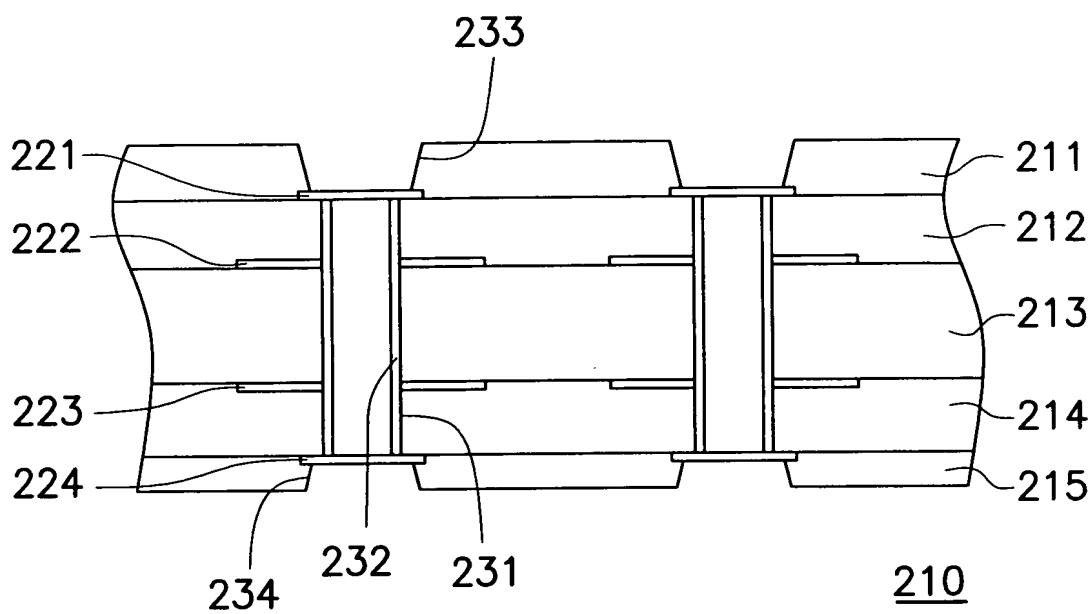
第1E圖



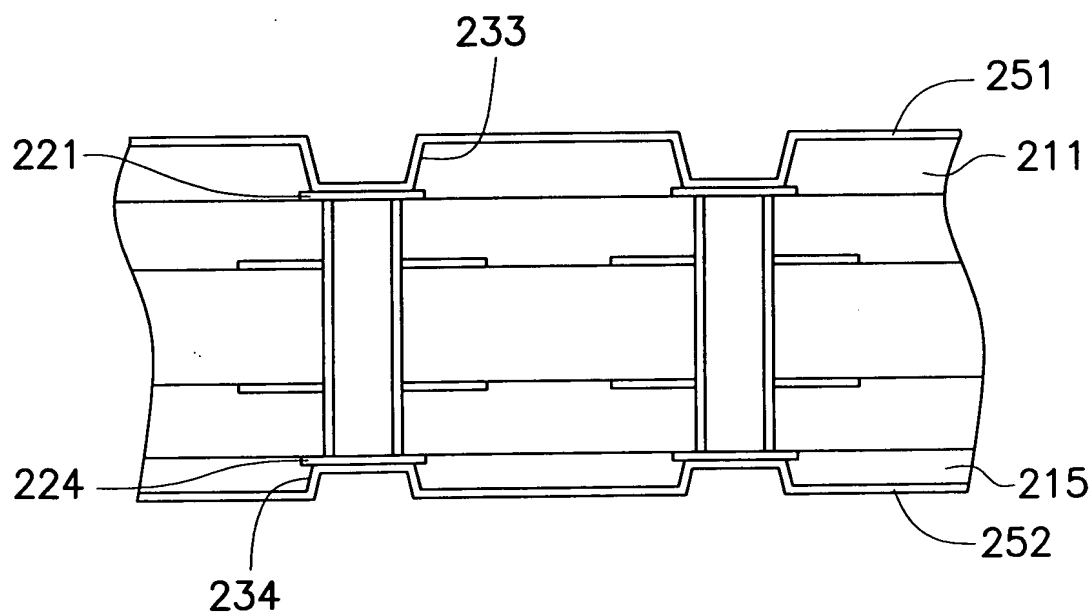
第1F圖



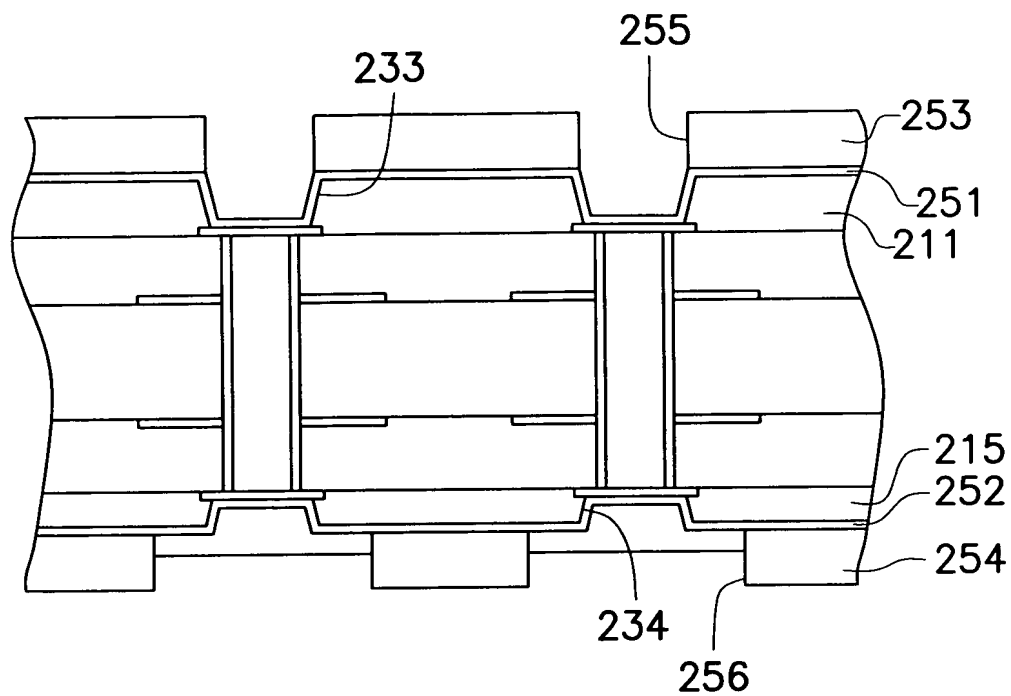
第 1G 圖



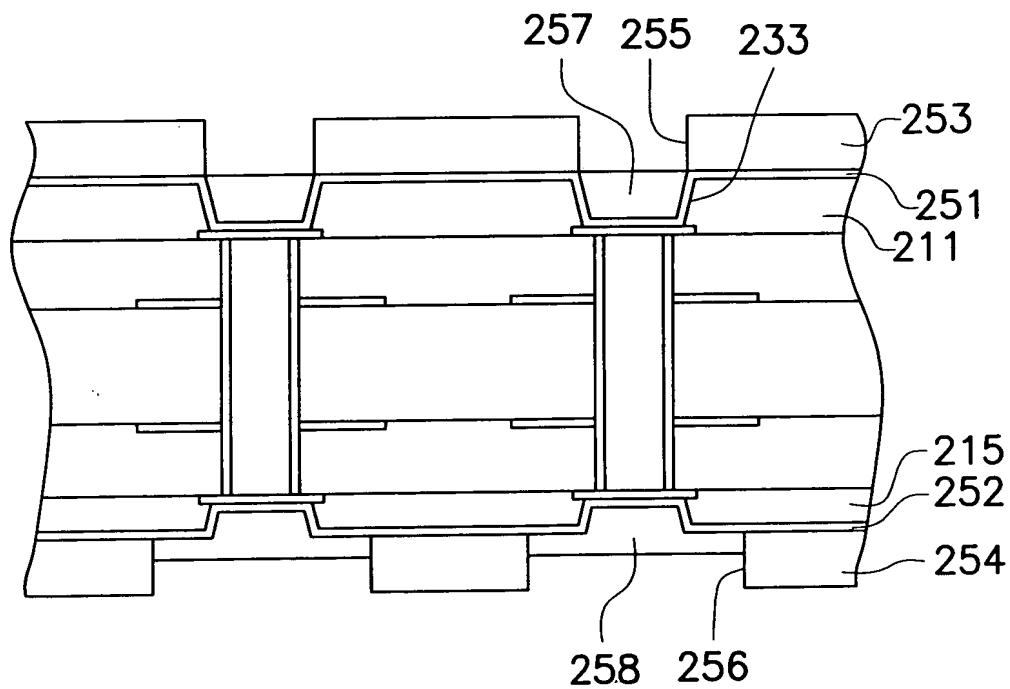
第 2A 圖



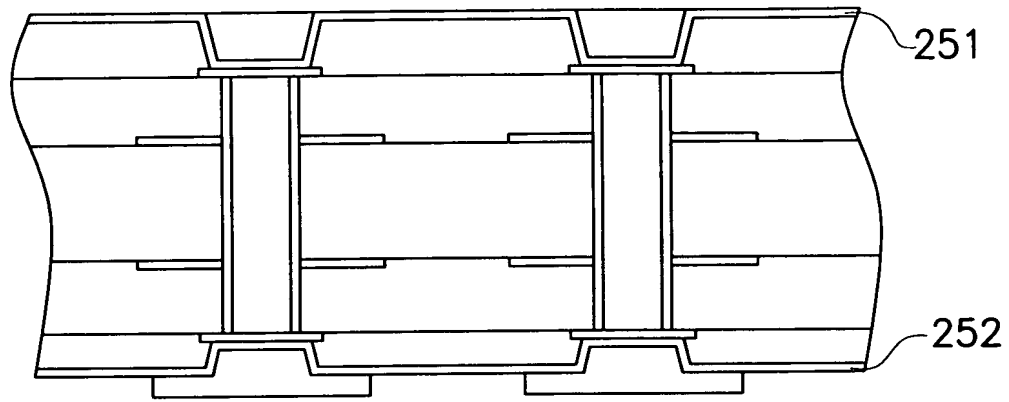
第 2B 圖



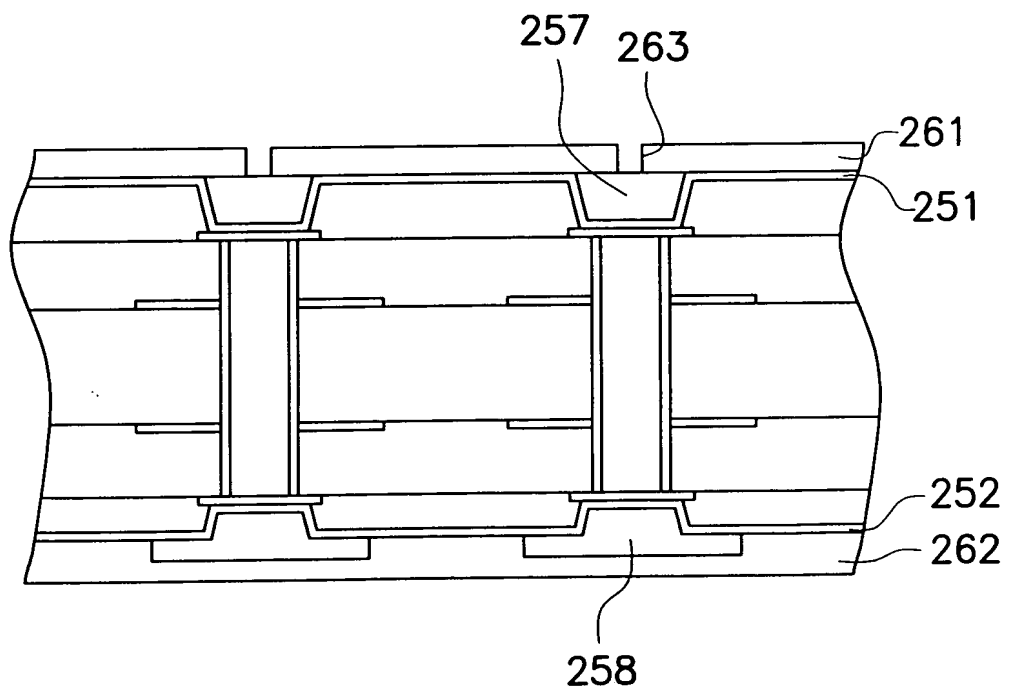
第 2C 圖



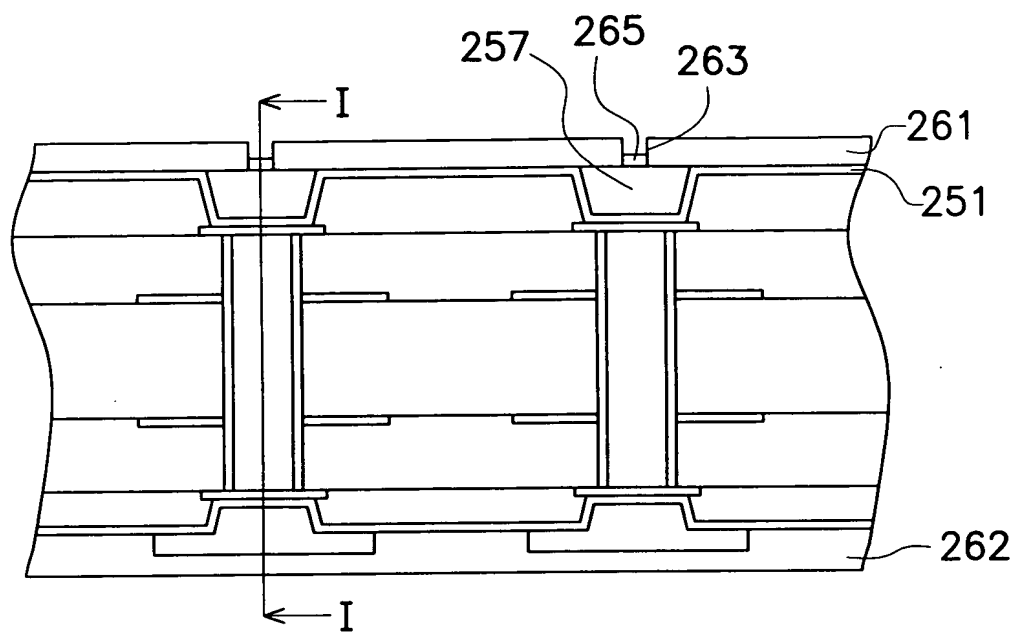
第 2D 圖



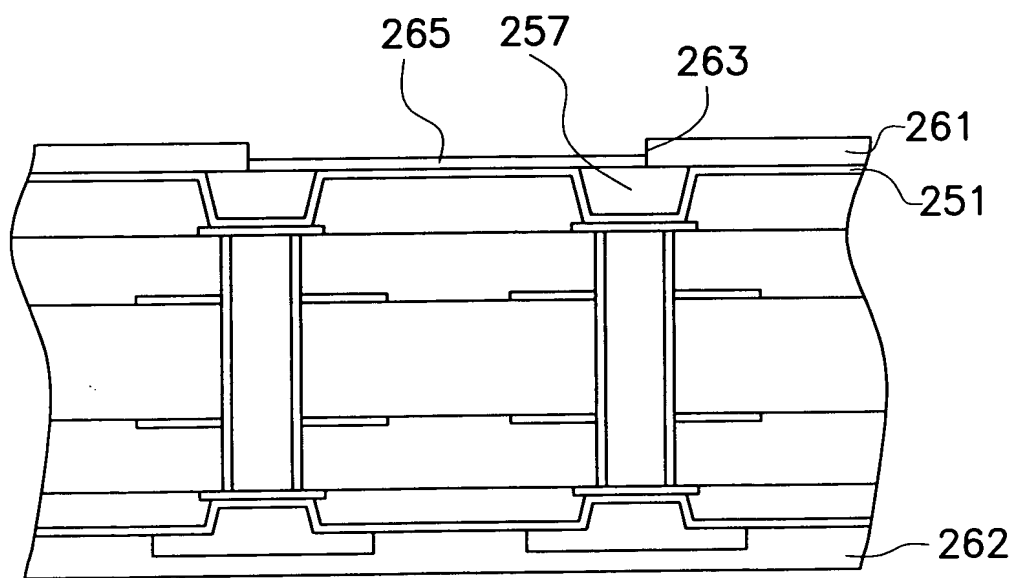
第 2E 圖



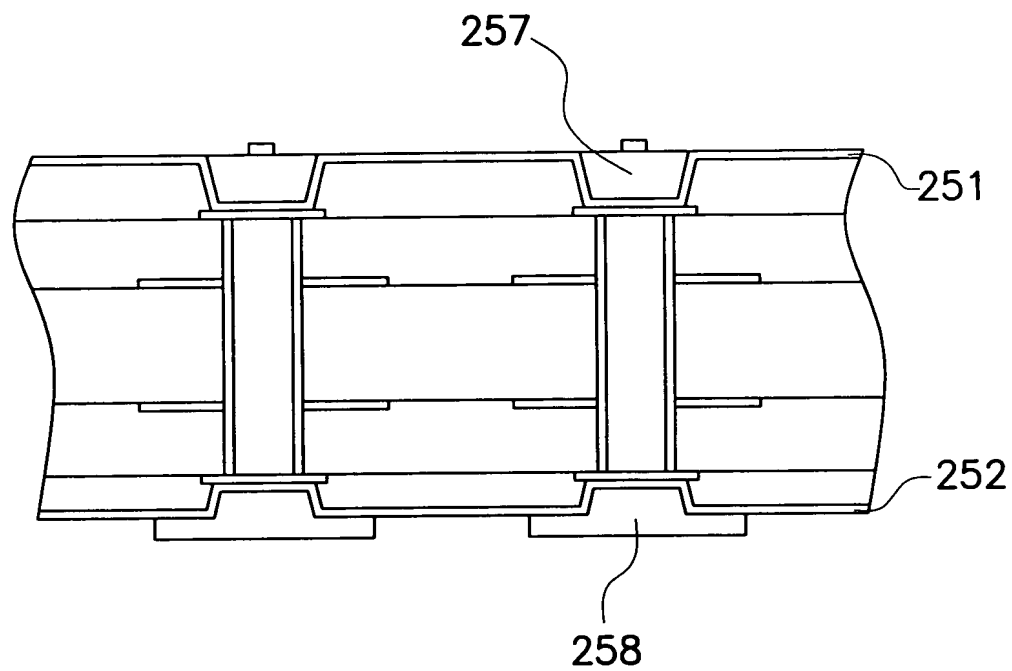
第 2F 圖



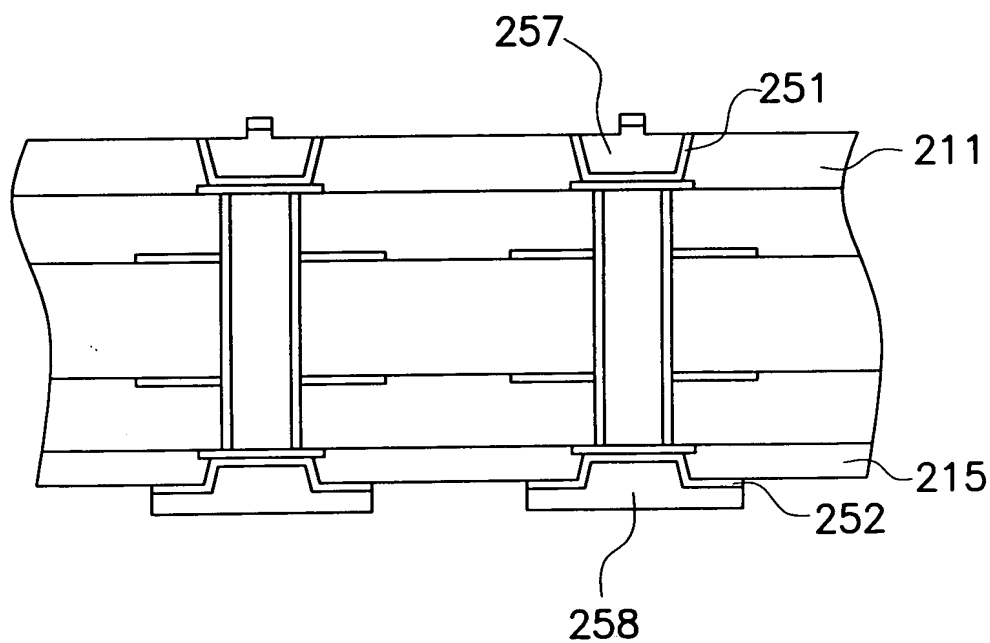
第 2G 圖



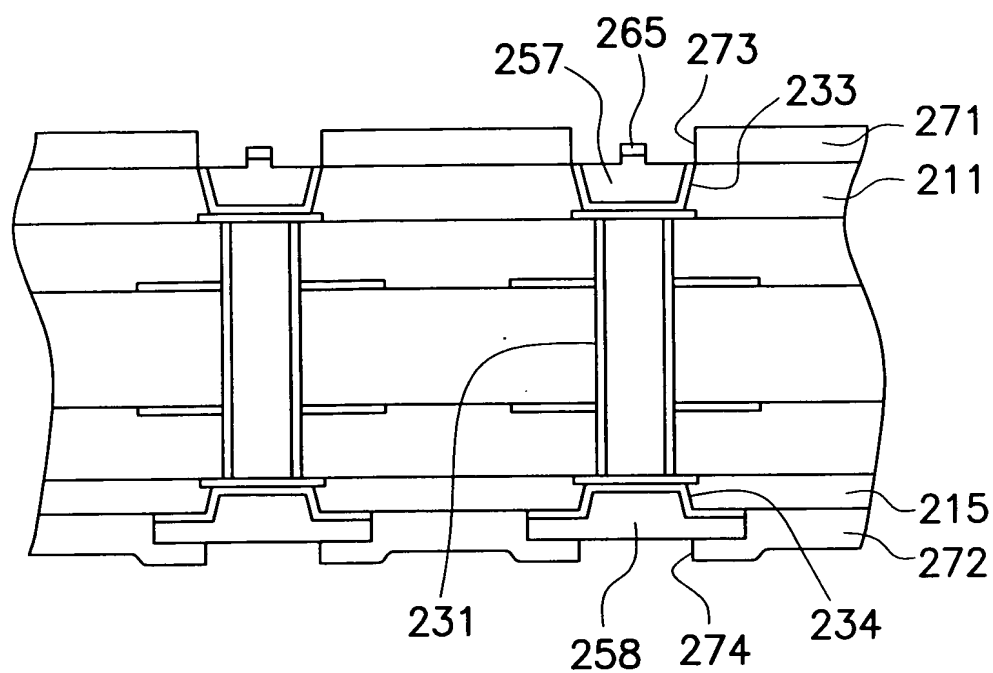
第 2g 圖



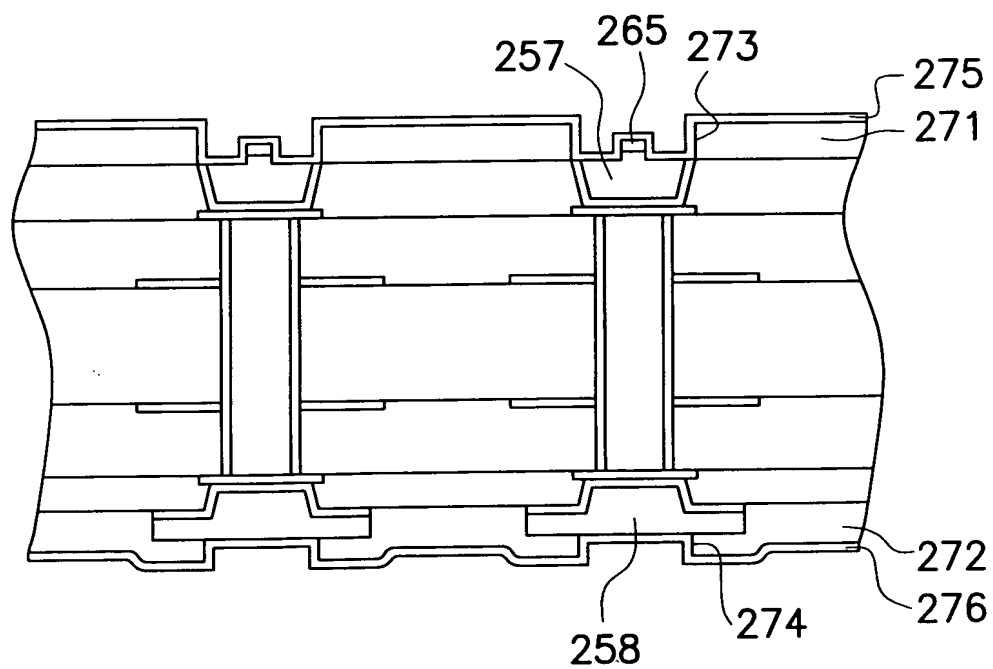
第 2H 圖



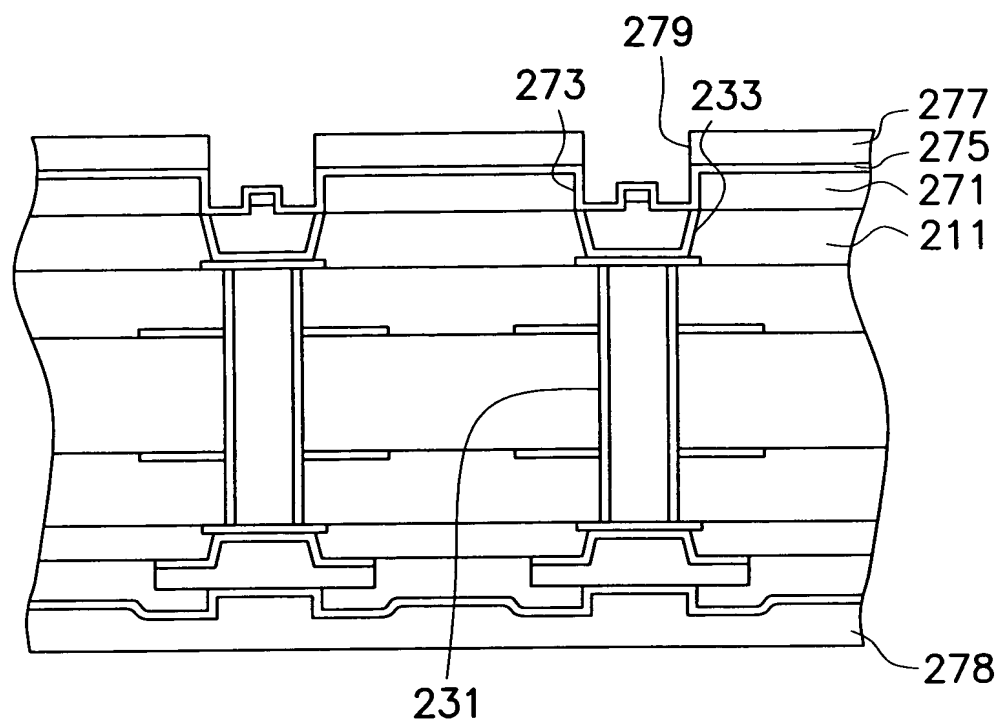
第 2I 圖



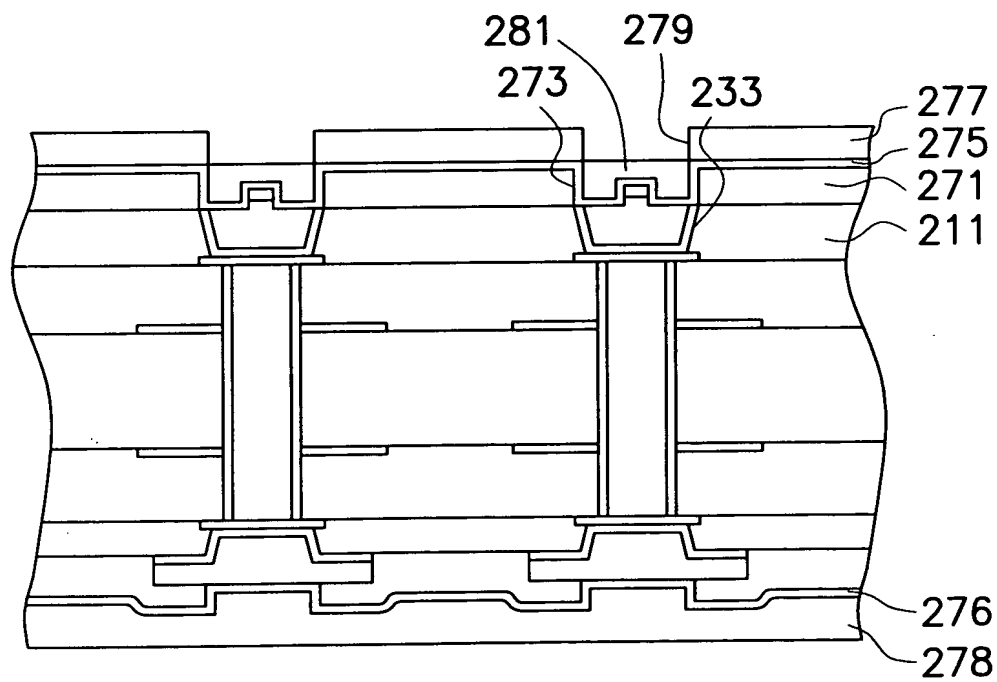
第 2J 圖



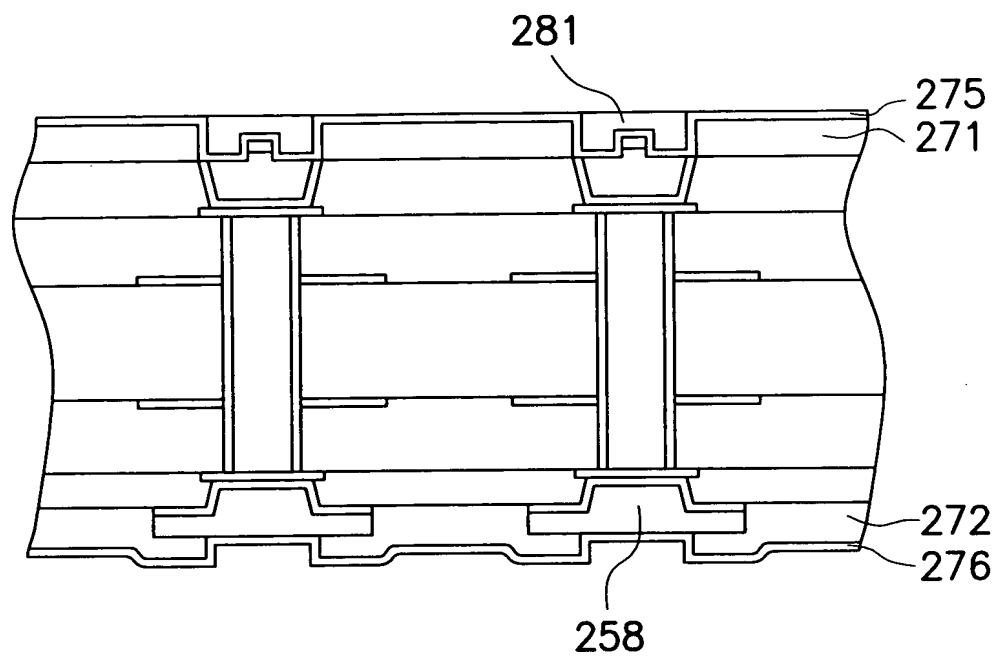
第 2K 圖



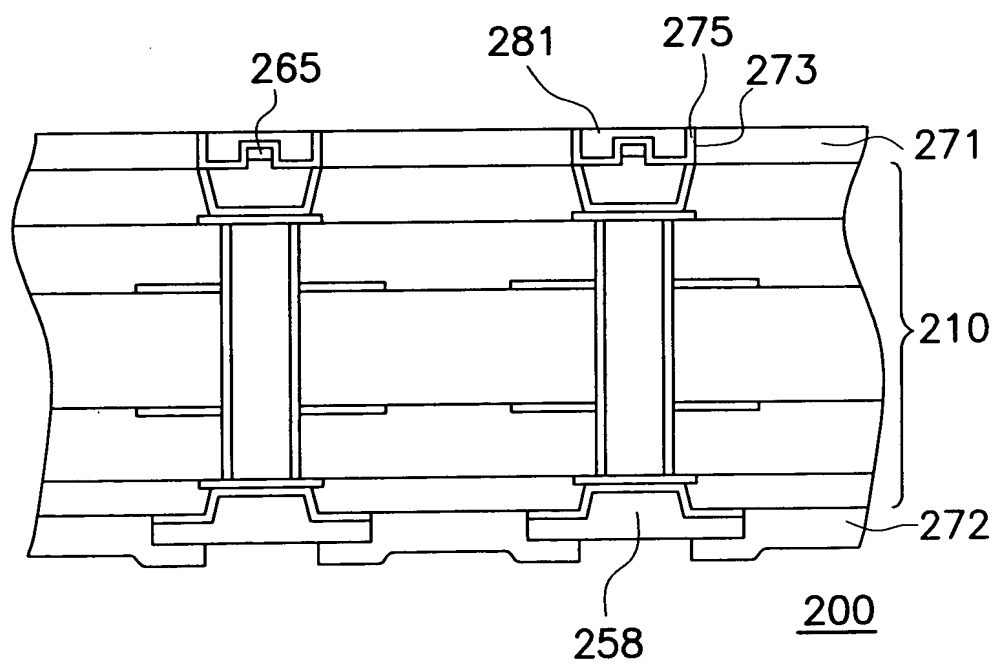
第 2L 圖




第 2M 圖




第 2N 圖




第 20 圖




A large, dense, black and white photograph of a textured surface, possibly a wall or a piece of fabric, with a vertical line running down the center. The texture is highly irregular and grainy, with many small, dark, and light patches. The vertical line is slightly darker and more uniform than the surrounding areas, creating a sense of depth and focus. The overall image has a high-contrast, almost abstract quality, with the texture appearing to be a mix of organic and man-made elements. The lighting is somewhat uneven, with the center of the image being slightly brighter than the edges, which are more shadowed. The overall effect is one of a close-up, detailed view of a complex surface.



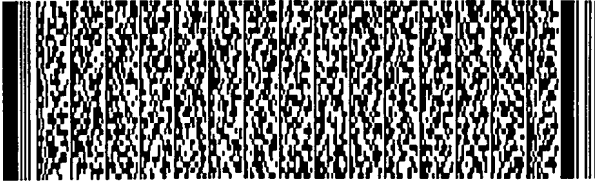
100



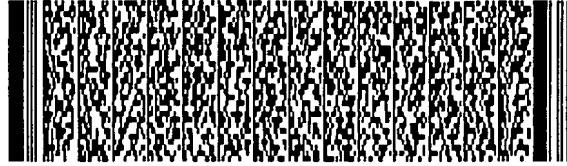
Abstract



第 10/21 頁



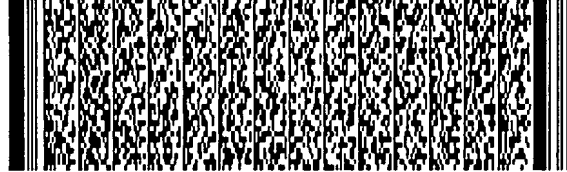
第 11/21 頁



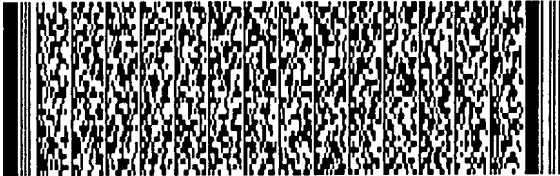
第 11/21 頁



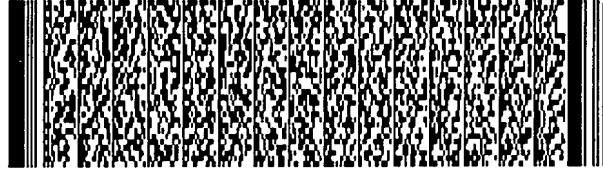
第 12/21 頁



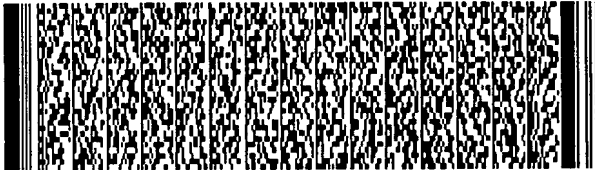
第 12/21 頁



第 13/21 頁



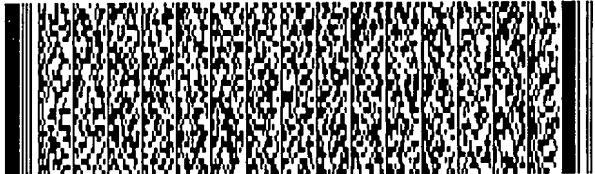
第 13/21 頁



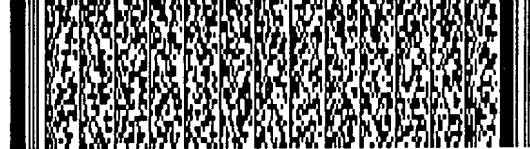
第 14/21 頁



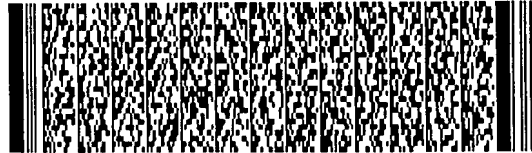
第 15/21 頁



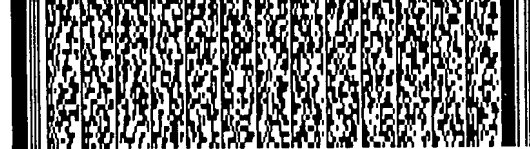
第 16/21 頁



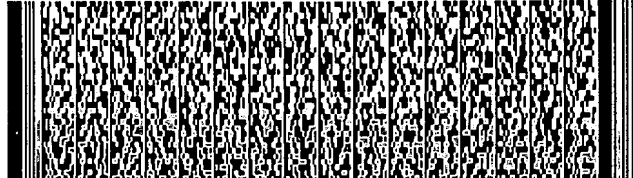
第 17/21 頁



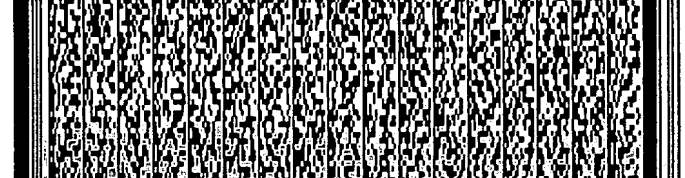
第 17/21 頁



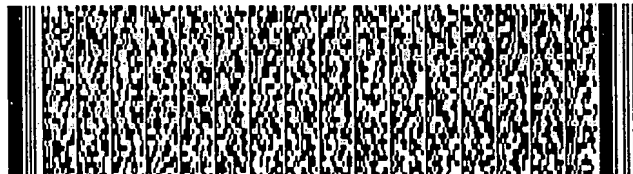
第 18/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

